

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-368562

(43)Date of publication of application : 20.12.2002

(51)Int.Cl.

H03G 3/10

(21)Application number : 2001-171433

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 06.06.2001

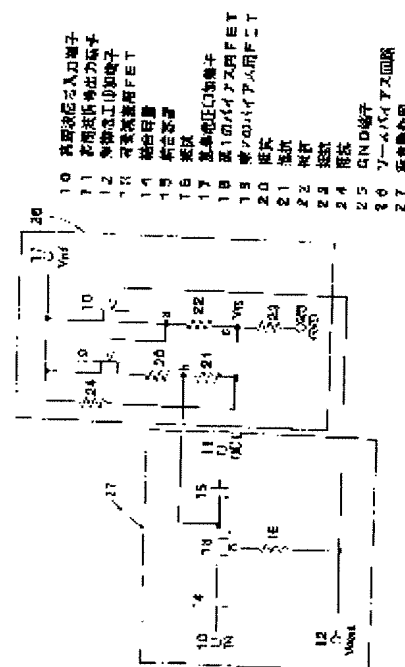
(72)Inventor : YAMAMOTO TAKASHI
INAMORI MASAHIKO
NAKAYAMA MASAO
MOTOYOSHI KANAME
TARA KATSUJI

(54) ATTENUATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an attenuator, with which a dispersion in the threshold voltage of an FET caused by a production process and a temperature change can be compensated.

SOLUTION: This attenuator has an attenuation operating part 27, which has a serial FET 13 for variable attenuation with one terminal as a signal input part and the other terminal as a signal output part, for attenuating an input signal inputted from a high frequency signal input terminal 10 and outputting the signal from a high frequency signal output terminal 11 by the variable resisting operation of the FET 13 for variable attenuation based on the change of a control voltage V_{cont} , and a source bias circuit 26 for applying a source bias to the FET 13 for variable attenuation. The source bias circuit 26 has FET 18 and 19 for bias, the source potential of the FET 18 for bias is applied to the gate of the FET 19 for bias and the source potential of the FET 19 for bias is applied to the source of the FET 13 for variable attenuation.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-368562

(P2002-368562A)

(43) 公開日 平成14年12月20日 (2002. 12. 20)

(51) Int.Cl.⁷

H 0 3 G 3/10

識別記号

F I

H 0 3 G 3/10

テーマコード(参考)

D 5 J 1 0 0

審査請求 未請求 請求項の数 6 ○ L (全 9 頁)

(21) 出願番号 特願2001-171433(P2001-171433)

(22) 出願日 平成13年 6 月 6 日 (2001. 6. 6)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 山本 貴士

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 稲森 正彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100076174

弁理士 宮井 暎夫

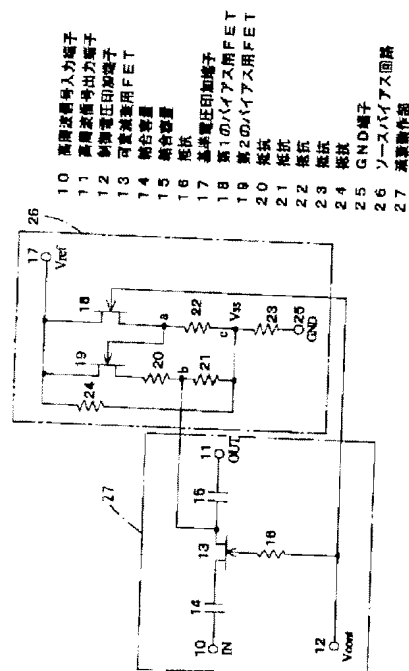
最終頁に続く

(54) 【発明の名称】 減衰器

(57) 【要約】

【課題】 製造プロセスおよび温度変化に起因する F E T のしきい値電圧のばらつきを補償することができる減衰器を提供する。

【解決手段】 一端を信号入力部とし他端を信号出力部とする直列の可変減衰用 F E T 1 3 を有し、制御電圧 V c o n t の変化による可変減衰用 F E T 1 3 の可変抵抗動作によって高周波信号入力端子 1 0 から入力される入力信号を減衰させて高周波信号出力端子 1 1 より出力する減衰動作部 2 7 と、可変減衰用 F E T 1 3 にソースバイアスを与えるためのソースバイアス回路 2 6 とを有している。ソースバイアス回路 2 6 は、バイアス用 F E T 1 8, 1 9 を有し、バイアス用 F E T 1 8 のソース電位がバイアス用 F E T 1 9 のゲートに与えられ、バイアス用 F E T 1 9 のソース電位が可変減衰用 F E T 1 3 のソースに与えられる。



【特許請求の範囲】

【請求項1】 一端を信号入力部とし他端を信号出力部とする直列の可変減衰用FETを有し、制御電圧の変化による前記可変減衰用FETの可変抵抗動作によって前記信号入力部から入力される入力信号を減衰させて前記信号出力部より出力する減衰動作部と、前記可変減衰用FETにソースバイアスを与えるためのソースバイアス回路とを備え、

前記ソースバイアス回路は、第1および第2のバイアス用FETを有し、前記第1のバイアス用FETのソース電位が前記第2のバイアス用FETのゲートに与えられ、前記第2のバイアス用FETのソース電位が前記可変減衰用FETのソースに与えられていることを特徴とする減衰器。

【請求項2】 減衰動作部の出力部からの出力信号が前記減衰動作部の後段に設けられた増幅用FETへ送り出されることを特徴とする請求項1記載の減衰器。

【請求項3】 第1のバイアス用FETは、ゲートに制御電圧が印加されるとともにドレインに基準電圧が印加されることを特徴とする請求項1記載の減衰器。

【請求項4】 第2のバイアス用FETは、ドレインに基準電圧が印加され、ソースに抵抗を介して接続された電位印加部を有し、前記電位印加部の電位が可変減衰用FETのソースに与えられていることを特徴とする請求項1記載の減衰器。

【請求項5】 可変減衰用FETと第1および第2のバイアス用FETはワンチップで形成されている請求項1記載の減衰器。

【請求項6】 可変減衰用FETは、制御電圧がゲートに与えられ、前記制御電圧と第2のバイアス用FETによってソースに与えられる電位との電位差に応じて、入力信号の減衰量を制御することを特徴とする請求項1記載の減衰器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、信号の増幅や減衰などを行う半導体集積回路装置に関するものであり、特に通信・映像等の高周波信号の制御を行う半導体集積回路装置に関する技術に属し、この中の高周波信号の減衰を行う減衰器に関するものである。

【0002】

【従来の技術】携帯電話など、通信・映像等の分野では、高周波信号の伝送制御において電力利得等の利得制御のばらつきを所定範囲に抑えるために、GaAs等の化合物半導体からなる高周波用FETが用いられている。

*

$$V_{cont}(OFF) = V_{ref} + V_{th} \quad \dots (2)$$

【0013】

【発明が解決しようとする課題】図2の構成では、基準電圧 V_{ref} （固定）に対して、制御電圧 V_{cont} を

＊【0003】図2は従来の減衰器の構成例を示す回路図である。この減衰器は、図2に示すように、信号入力部である高周波信号入力端子1と信号出力部である高周波信号出力端子2とを接続する直列（シリーズ）の可変減衰用FET（電界効果トランジスタ）5を有している。

【0004】可変減衰用FET5は、ドレインが結合容量6を介して高周波信号入力端子1に接続され、ソースが結合容量7を介して高周波信号出力端子2に接続されている。また、制御電圧印加部となる制御電圧印加端子3が、可変減衰用FET5のゲートに抵抗9を介して接続され、基準電圧印加部となる基準電圧印加端子4が、可変減衰用FET5のソースに抵抗8を介して接続されている。

【0005】各結合容量6、7は直流電圧の印加を阻止し、各抵抗8、9は高周波信号の侵入を阻止する役割をそれぞれ果たしており、例えば10kΩのような抵抗値の高いものが使用される。

【0006】INは入力信号、OUTは出力信号、 V_{cont} は制御電圧、 V_{ref} は固定の基準電圧である。

20 【0007】図2の構成において、可変減衰用FET5のしきい値電圧を V_{th} とし、可変減衰用FET5がちょうどオフとなる状態のゲート・ソース間電位を $V_{gs}(OFF)$ とすると、ゲート・ソース間電位 $V_{gs}(OFF)$ としきい値電圧 V_{th} との関係はつぎのようになる。なお、 V_g は可変減衰用FET5のゲート電位、 V_s は可変減衰用FET5のソース電位である。

【0008】

$$V_{th} = V_{gs}(OFF) = V_g - V_s \quad \dots (1)$$

30 可変減衰用FET5のゲートには、高い抵抗値を有する抵抗9が接続されていて、電流がほとんど流れないので、制御電圧 V_{cont} をゲート電位 V_g とみなすことができる。

【0009】また、可変減衰用FET5のソースには、高い抵抗値を有する抵抗8が接続されており、上記と同じ原理がソースにも言えるので、基準電圧 V_{ref} をソース電位 V_s とみなすことができる。

40 【0010】したがって、可変減衰用FET5がちょうどオフとなる状態の制御電圧 V_{cont} を $V_{cont}(OFF)$ とすると、(1)式は、つぎのようになる。

【0011】 $V_{th} = V_{cont}(OFF) - V_{ref}$ 上式を変形すると、以下のような、しきい値電圧と制御電圧および基準電圧との関係式になる。

【0012】

変化させること、つまり、ゲート・ソース間の電位 V_{gs} を変化させることで、可変減衰用FET5のオン抵抗を変化させ、これによって減衰量をコントロールしてい

る。図2と式(2)からわかるように、基準電圧 V_{ref} が一定ならば、可変減衰用FET5がちょうどオフとなる制御電圧 $V_{cont}(OFF)$ は、可変減衰用FET5のしきい値電圧 V_{th} により変化する。

【0014】ここで、可変減衰用FET5がちょうどオフとなる状態の制御電圧 $V_{cont}(OFF)$ は、可変減衰用FET5のしきい値電圧 V_{th} により変化する。図7を参照して説明する。図7は、温度変化による制御電圧 $V_{cont}(OFF)$ 、基準電圧 V_{ref} およびしきい値電圧 V_{th} の変化を示している。

【0015】この従来例では、基準電圧 V_{ref} を一定としているため、式(2)の3つのパラメータの関係を図示すると、図7のようになる。図7より、しきい値電圧 V_{th} が製造プロセスのばらつきや温度変化により変化すると、それに伴い、可変減衰用FET5がちょうどオフとなる状態の制御電圧 $V_{cont}(OFF)$ の値も変化してしまい、しきい値電圧 V_{th} の影響を受けてしまう。

【0016】一方、化合物半導体の製造プロセスは、シリコン半導体の製造プロセスと比較すると、安定性や均一性の面で十分に確立しているとはいえない。このため、化合物半導体からなるMESFET等のFETとして、しきい値電圧 V_{th} などの特性が同等のものを生産することは困難であるのが現状である。

【0017】したがって、基準電圧 V_{ref} として同一電位を与えた場合、可変減衰用FET5がちょうどオフ*

$$V_{cont}(ON) = V_{ref} + V_{th} + 0.3 \dots (3)$$

制御感度が高いと、制御電圧 V_{cont} の変化量に対するアッテネーションの変化量(減衰量)も大きい。さらに細かなレベルでの高精度な制御が困難である。その様子を図5に示す。 $GS = 150 \text{ dB/V}$ の場合(制御感度:大)は、制御電圧 V_{cont} を 0.008 V 変化させると、減衰量が 1.2 dB 変化する。また、 $GS = 75 \text{ dB/V}$ の場合(制御感度:小)は、制御電圧 V_{cont} を 0.008 V 変化させると、減衰量が 0.6 dB 変化する。

【0022】制御できる電圧の幅は決められているので、制御感度が大きいと制御感度を小さくしたときに比べ、減衰量が大きくなる。制御感度を小さくすれば、減衰量も小さくなるため、より細かなレベルで減衰量が制御できるようになる。

【0023】したがって、本発明の目的は、製造プロセスおよび温度変化に起因するFETのしきい値電圧のばらつきを補償して減衰器用FETがちょうどオフとなる制御電圧およびちょうどオンとなる制御電圧のばらつきを少なくすることができる減衰器を提供することである。

【0024】また、本発明の他の目的は、減衰量に変化する制御電圧の変化範囲を大きくすることにより制御感度を小さくして細かい精度で可変減衰動作を行うことが

*となる制御電圧 $V_{cont}(OFF)$ は、そのしきい値電圧 V_{th} の値に応じて半導体集積回路装置ごとに異なることになる。これは、動作特性が半導体集積回路装置ごとにばらつくことを意味する。

【0018】併せて図4(a)に示すように、可変減衰用FET5では、通常、制御電圧 V_{cont} が 0.3 V の変化範囲でオン抵抗が最小値から最大値まで変化する。なお、図4(a)には制御電圧と減衰量の関係を示しており、傾斜部分の傾き GS が 60 dB/V となっている。図4(b)には、しきい値電圧 V_{th} が異なる場合(3種類)の制御電圧と減衰量の関係の違いを示している。

【0019】図3は、後述の実施の形態でも説明するが、制御電圧 V_{cont} が 0.6 V の変化範囲でオン抵抗が最小値から最大値まで変化する時の、制御電圧と減衰量の関係を示しており、傾斜部分の傾き GS が 30 dB/V となっている。図3(b)には、制御電圧と減衰量の関係の違いを示している。

【0020】上記したように、従来例では、制御電圧の変化範囲が 0.3 V と狭く、したがって制御感度が高い。制御感度とは、図3および図4に示すような制御カーブの傾きを示す。制御感度が高いということは、制御カーブの傾きが大きいことを意味する。したがって、可変減衰用FET5がちょうどオンとなる制御電圧 $V_{cont}(ON)$ は次式で表される。

【0021】

できる減衰器を提供することである。

【0025】

【課題を解決するための手段】上記課題を解決するために、本発明の減衰器は、一端を信号入力部とし他端を信号出力部とする直列の可変減衰用FETを有し、制御電圧の変化による可変減衰用FETの可変抵抗動作によって信号入力部から入力される入力信号を減衰させて信号出力部より出力する減衰動作部と、可変減衰用FETにソースバイアスを与えるためのソースバイアス回路とを備えている。

【0026】ソースバイアス回路は、第1および第2のバイアス用FETを有し、第1のバイアス用FETのソース電位が第2のバイアス用FETのゲートに与えられ、第2のバイアス用FETのソース電位が可変減衰用FETのソースに与えられている。

【0027】本発明の減衰器においては、可変減衰用FETのソースに与えられる第2のバイアス用FETの電位印加部での電位は、第2のバイアス用FETのドレイン電流によってソース抵抗に生じる電圧降下分を、第2のバイアス用FETのソース電位から減じて得られる電位である。すなわち、可変減衰用FETのソースバイアスは、第2のバイアス用FETのしきい値電圧に応じて変化する。また、この第2のバイアス用FETのソース

電位は、第1のバイアス用FETのソース電位がそのまま与えられる。すなわち、第1のバイアス用FETのしきい値電圧によって変化するので、可変減衰用FETのソースバイアスは、第1および第2のバイアス用FETのしきい値電圧に応じて変化する。可変減衰用FETおよびバイアス用FETの特性がほぼ同様であるとする

と、可変減衰用FETのしきい値電圧が設計値からずれている時には、第1および第2のバイアス用FETのしきい値電圧もこれと同様にずれており、これに応じて可変減衰用FETのソースバイアスも変わることになる。このため、製造プロセスや温度変化に起因するFETのしきい値電圧のばらつきをソースバイアス回路によって補償することが可能になる。

【0028】また、本発明の減衰器では、制御電圧が変化することにより、第1のバイアス用FETのゲート電位が変化する。また、ソース電位もゲート電位の変化の影響を受けるため変化する。第1のバイアス用FETのソース電位が変化するため、第2のバイアス用FETのゲート電位も変化し、第1のバイアス用FETと同様にソース電位はゲート電位の変化の影響を受けて変化する。第2のバイアス用FETのソース電位が可変減衰用FETのソースに印加されるので、可変減衰用FETのソース電位は、制御電圧の変化に応じて変化させることができ、制御感度の低減が可能である。

【0029】そして、上記減衰動作部は、入力信号の減衰を行い、出力部から増幅用FETへ出力信号を送り出す。

【0030】また、上記第1のバイアス用FETは、ゲートに制御電圧、ドレインに基準電圧が印加され、ソース電位が前記第2のバイアス用FETのゲートに与えられる構成を有し、ゲート・ソース間電圧が第1のバイアス用FETのしきい値電圧付近にバイアスされるように、ソース抵抗に40kΩ以上の抵抗が接続されている。上記のように、第1のバイアス用FETのゲート・ソース間電圧を第1のバイアス用FETのしきい値電圧付近にバイアスしているのは、可変減衰用FETのしきい値電圧の変動を適切に補償することができるようにするためである。このバイアス状態は、第1のバイアス用FETのソース・ドレイン間には電流が流れない状態である。

【0031】また、上記第2のバイアス用FETは、ソースに抵抗（ソース抵抗）を介して接続された電位印加部を備え、ドレインに基準電圧が印加されたものであり、上記電位印加部での電位が可変減衰用FETのソースに与えられている。第2のバイアス用FETについても第1のバイアス用FETと同様にゲート・ソース間電圧が第2のバイアス用FETのしきい値電圧付近にバイアスされるように、ソース抵抗の抵抗値が設定されている。上記のように、第2のバイアス用FETのゲート・ソース間電圧を第2のバイアス用FETのしきい値電圧

付近にバイアスしているのは、可変減衰用FETのしきい値電圧の変動を適切に補償することができるようにするためである。このバイアス状態は、第2のバイアス用FETのソース・ドレイン間には電流が流れない状態である。

【0032】また、上記可変減衰用FETと第1および第2のバイアス用FETはワンチップで形成されている。

【0033】また、上記可変減衰用FETは、そのゲートには制御電圧が印加され、第2のバイアス用FETによってソースに与えられる電位との電位差により、可変減衰用FETのオン抵抗を変化させることで高周波信号の減衰量を制御している。つまり、ゲート・ソース間の電位を変化させることで減衰量をコントロールしている。

【0034】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しながら説明する。

【0035】図1は本発明の実施の形態に係る半導体集積回路装置で構成された減衰器の構成を示す回路図である。この減衰器は、図1に示すように、信号入力部である高周波信号入力端子10と信号出力部である高周波信号出力端子11とを接続する直列（シリーズ）の可変減衰用FET（電界効果トランジスタ）13を有している。

【0036】可変減衰用FET13は、ドレインが結合容量14を介して高周波信号入力端子10に接続され、ソースが結合容量15を介して高周波信号出力端子11に接続されている。また、制御電圧印加部となる制御電圧印加端子12が、可変減衰用FET13のゲートに抵抗16を介して接続されている。

【0037】各結合容量14、15は直流電圧の印加を阻止し、抵抗16は高周波信号の侵入を阻止する役割を果たしており、例えば10kΩのような抵抗値の高いものが使用される。以上の構成で減衰動作を行う減衰動作部27が構成されている。この部分は図2の従来例と略同じである。

【0038】INは入力信号、OUTは出力信号、Vcontは制御電圧である。

【0039】また、本実施の形態に係る減衰器では、従来例のように可変減衰用FET5のソースに抵抗8を介して固定の基準電圧Vrefを印加する代わりに、可変減衰用FET13にソースバイアスを与えるためのソースバイアス回路26を設けている。

【0040】このソースバイアス回路26は、第1および第2のバイアス用FET18、19と抵抗20、21、22、23、24および基準電圧印加端子17とGND端子25とから構成されていて、可変減衰用FET13のしきい値電圧のばらつきを補償する機能を有するものである。つまり、可変減衰用FET13のしきい値電

圧がばらついても、それにかかわらず、可変減衰用FET13がちょうどオフとなる制御電圧 V_{cont} (OFF)が一定となるようにするものである。そのためには、第1および第2のバイアス用FET18、19をしきい値電圧 V_{th} 付近にバイアスすることが必要である。

【0041】具体的に説明すると、基準電圧印加端子17とGND端子25の間に、第1のバイアス用FET18および抵抗22、23が直列に接続されている。また、第1のバイアス用FET18および抵抗22の直列回路に対して、第2のバイアス用FET19および抵抗20、21の直列回路と、抵抗24とが各々並列に接続されている。そして、第1のバイアス用FET18のゲートに制御電圧印加端子12が接続され、第1のバイアス用FET18のソースが第2のバイアス用FET19のゲートに接続されている。

【0042】また、第2のバイアス用FET19のソースは抵抗(ソース抵抗)20を介して可変減衰用FET13のソースと接続されており、b点(電圧印加部)での電位が可変減衰用FET13のソースに印加されている。

【0043】以上のように構成された本実施の形態に係る減衰器について、その動作を説明する。

【0044】ただし、バイアス回路の各バイアス用FET18、19にはしきい値電圧付近の電圧がバイアスとして与えられるように、抵抗値が設計されていて、バイアス用FET18、19はオフの状態である。

【0045】ソースバイアス回路26は、第1のバイアス用FET18のソース電位が第2のバイアス用FET19のゲートに与えられ、第2のバイアス用FET19のソース電位が可変減衰用FET13のソースに与えられる。

【0046】この減衰器においては、可変減衰用FET13のソースに与えられる第2のバイアス用FET19の電位印加部(b点)での電位は、第2のバイアス用FET19のドレイン電流によってソース抵抗20に生じる電圧降下分を、第2のバイアス用FET19のソース電位から減じて得られる電位である。すなわち、可変減衰用FET13のソースバイアスは、第2のバイアス用FET19のしきい値電圧に応じて変化する。また、この第2のバイアス用FET19のソース電位は、第1のバイアス用FET18のソース電位から第2のバイアス用FET19のしきい値電圧を減じて得られる。そして、第1のバイアス用FET18のソース電位は、第1のバイアス用FET18のしきい値電圧によって変化する。可変減衰用FET13のソースバイアスは、第1および第2のバイアス用FET18、19のしきい値電圧に応じて変化する。

【0047】可変減衰用FET13および第1および第2のバイアス用FET18、19の特性がほぼ同じであ

るとすると、可変減衰用FET13のしきい値電圧が設計値からずれている時には、第1および第2のバイアス用FETのしきい値電圧もこれと同様にずれており、これに応じて可変減衰用FET13のソースバイアスも変わることになる。このため、製造プロセスや温度変化に起因する可変減衰用FET13のしきい値電圧のばらつきをソースバイアス回路26によって補償することが可能になる。

【0048】また、この減衰器では、制御電圧 V_{cont} が変化することにより、第1のバイアス用FET18のゲート電位が変化する。また、第1のバイアス用FET18のソース電位もゲート電位の変化の影響を受けるため変化する。第1のバイアス用FET18のソース電位が変化するため、第2のバイアス用FET19のゲート電位も変化し、第1のバイアス用FET18と同様にソース電位はゲート電位の変化の影響を受けて変化する。第2のバイアス用FET18のソース電位が可変減衰用FET13のソースに印加されるので、可変減衰用FET13のソース電位は、制御電圧 V_{cont} の変化に応じて変化させることができ、制御感度の低減が可能である。

【0049】そして、上記減衰動作部26は、入力信号の減衰を行い、出力部から後段の増幅用FET(図示せず)へ出力信号を送り出す。

【0050】また、上記第1のバイアス用FET18は、ゲートに制御電圧 V_{cont} 、ドレインに基準電圧 V_{ref} が印加され、ソース電位が第2のバイアス用FET19のゲートに与えられる構成を有し、ゲート・ソース間電圧が第1のバイアス用FETのしきい値電圧付近にバイアスされるように、ソース抵抗に40kΩ以上の抵抗が接続されている。このとき、第1および第2のバイアス用FET18はそれぞれオフとなる状態である。

【0051】以下、数式を用いてさらに詳しく説明する。

【0052】図1より、制御電圧を V_{cont} 、可変減衰用FET13および第1および第2のバイアス用FET18、19のしきい値電圧をすべて V_{th} (同一の値)とすると、a点の電位つまり第1のバイアス用FET18のソース電位 V_{s18} は、
$$V_{s18} = V_{cont} - V_{th} \quad \dots (4)$$
と表される。

【0053】つぎに、第2のバイアス用FET19のソース電位 V_{s19} を求めると、

$$V_{s19} = V_{s18} - V_{th} \\ = V_{cont} - 2V_{th} \quad \dots (5)$$

となる。

【0054】ここで、抵抗20の抵抗値を R_{20} 、抵抗21の抵抗値を R_{21} 、c点の電位を V_{ss} として、可変減衰用FETのソースに与えられるb点の電位 V_{sc}

を求めると、

$$V_{sc} = \{R_{21} / (R_{20} + R_{21})\} \times (V_{s19} - V_{ss}) + V_{ss}$$

となる。ここで、電圧 V_{ss} は次式で表され、しきい値電圧 V_{th} の影響を受けない。

【0055】

$$V_{ss} = \{ (R_{23} / (R_{23} + R_{24})) \} \cdot V_{ref}$$

ここで、基準電圧 V_{ref} が可変減衰用FET13に対して与える影響について説明する。同じ制御電圧 V_{cont} で考えた場合、基準電圧 V_{ref} が変化すれば、基

$$\begin{aligned} V_{sc} &= V_{s19} / 2 + V_{ss} / 2 \\ &= (V_{cont} - 2V_{th}) / 2 + V_{ss} / 2 \\ &= (V_{cont} + V_{ss}) / 2 - V_{th} \quad \dots (6) \end{aligned}$$

となる。つまり、b点の電位はしきい値電圧 V_{th} のばらつきに応じて変化する。したがって、可変減衰用FET13のしきい値電圧 V_{th} のばらつきを補償することができる。その結果、可変減衰用FET13がちょうどオフになる電圧およびちょうどオンとなる電圧のばらつき

$$\begin{aligned} V_{cont}(\text{OFF}) &= V_{sc} + V_{th} \\ &= (V_{cont}(\text{OFF}) + V_{ss}) / 2 - V_{th} + V_{th} \\ &= (V_{cont}(\text{OFF}) + V_{ss}) / 2 \end{aligned}$$

となる。これを変形すると、

$$V_{cont}(\text{OFF}) = V_{ss} \quad \dots (7)$$

となる。

【0058】(7)式では、右辺に V_{th} の項がない。このことは、可変減衰用FET13と第1および第2のバイアス用FET18、19のしきい値電圧 V_{th} が変化しても、可変減衰用FET13がちょうどオフとなる制御電圧 $V_{cont}(\text{OFF})$ は、その影響を受けないことを意味する。すなわち、製造プロセスや温度変化に起因する可変減衰用FET13のしきい値電圧 V_{th} がばらついても、可変減衰用FET13がちょうどオフとなる制御電圧 $V_{cont}(\text{OFF})$ は、各半導体集積回路装置において均一になる。

【0059】ここで、可変減衰用FET13のしきい値電圧 V_{th} がばらついても、可変減衰用FET13がちょうどオフとなる制御電圧 $V_{cont}(\text{OFF})$ は、各半導体集積回路装置において均一になることを図6を参照して説明する。図6は、温度変化による制御電圧 $V_{cont}(\text{OFF})$ 、電圧 V_{sc} およびしきい値電圧 V_{th} の変化を示している。電圧 V_{sc} は(6)式より、しきい値電圧 V_{th} の影響を受ける。しかしながら、このときの電圧 V_{sc} はしきい値電圧 V_{th} の動きをキャンセルする方向にバイアスされる。それを図示したものが図6である。このようなしきい値電圧補償を可能にするためには、バイアス用FET18、19をそれぞれしきい値電圧付近にバイアスしておくことが必要となる。このようなバイアスを与えることができるように、抵抗20、21、22の抵抗値が設定されている。

* 基準電圧 V_{ref} の変化前と比べて減衰量が変化する。これは、基準電圧 V_{ref} に対してオン抵抗が略S字状に変化するからである。基準電圧 V_{ref} とオン抵抗との関係については、基準電圧 V_{ref} を上げると、可変減衰用FET13のオン抵抗も上がり、減衰量が増加し、逆に基準電圧 V_{ref} を下げると、オン抵抗も下がり、減衰量が減少する。

【0056】ここで、例として、 $R_{20} = R_{21}$ であるとする、

* きを小さく抑えることができる。

【0057】可変減衰用FET13には、上記(2)式を用いることができ、いま、(2)式の V_{ref} に相当する電位が、図1の状態の電位 V_{sc} である。したがって、(2)式は、

【0060】以上の動作により、しきい値電圧 V_{th} の変化による $V_{cont}(\text{OFF})$ の値が補償され、一定となる。これを数式で表したのが、式(7)である。

【0061】また、同様に、(3)式においても、(6)式を用いて書き換えると、

$$V_{cont}(\text{ON}) = V_{ss} + 0.6 \quad \dots (8)$$

【0062】(8)式においても、(7)式と同様に右辺に V_{th} の項がない。したがって、可変減衰用FET13がちょうどオンとなる制御電圧 $V_{cont}(\text{ON})$ も、しきい値電圧 V_{th} の影響を受けず各半導体集積回路装置において均一になる。

【0063】また、図3に示すように、可変減衰用FET13のオン抵抗が変化する制御電圧 V_{cont} の範囲も0.6Vと大きくなり、制御感度を小さくすることができる。これは、制御電圧が可変減衰用FET13のゲート電位だけでなく、ソース電位にも影響を与えるからである。図3は、しきい値電圧のばらつきの制御電圧への影響がないことも示している。つまりしきい値電圧 V_{th} の変化にかかわらず、電圧 $V_{cont}(\text{OFF})$ が同一であることを示している。

【0064】なお、オン抵抗が変化する制御電圧 V_{cont} の範囲は、上記の実施の形態では、従来例の2倍の0.6Vであったが、抵抗20、21の分圧比を変えると、それに伴って変化する。しかし、これは、制御電圧 V_{cont} の範囲が従来例の2倍までである。

【0065】つぎに、制御電圧の範囲について説明する。減衰量は変わらないので、制御電圧の範囲は、カーブの傾きで決まる。制御カーブの動き出しのポイントを変化させるのであれば、抵抗 R_{23} 、 R_{24} の分割比を変えるか、基準電圧 V_{ref} を変えるかのいずれかである。しかし、この場合は、制御の始点を変えるだけで制御範囲としては変わらない。

【0066】上記の説明では、可変減衰用FET13のしきい値電圧 V_{th} が ΔV_{th} だけ変化したとき、第1および第2のバイアス用FET18、19のしきい値電圧 V_{th} も同じ ΔV_{th} だけ変化するものとして

(7)、(8)式を導出している。実際には、第1および第2のバイアス用FET18、19を可変減衰用FET13と同一プロセスによってワンチップに製造し、かつ、レイアウト上において可変増幅用FET13の近傍に設ければ、可変減衰用FET13と第1および第2のバイアス用FET18、19の特性をほぼ同一にすることができ、最良の状態とすることが可能である。

【0067】そして、ソースバイアス回路26によって大きな補償効果を得るためには、抵抗20の抵抗値 R_{20} と抵抗21の抵抗値 R_{21} とをほぼ等しくすればよい。従って、大きな補償効果を得るための抵抗値の設定が容易である。また、この二つの抵抗値は、消費電力の面から10k Ω 以上が好ましい。

【0068】上記の抵抗 R_{23} 、 R_{24} については、電圧 V_{ss} として必要な電位に応じて分割比が変わる。大前提として、電圧 V_{ss} があまり変化しないことが好ましいので、抵抗 R_{23} については抵抗 R_{22} からの電流の流れ込みを考えると小さい方がよい。これは電流一定と考えた場合、抵抗が小さい方が電圧変化量も小さいからである。値としては、抵抗 R_{23} は、抵抗 R_{22} の1/4～1/2程度であり、差が大きいほど好ましい。

【0069】以上のように、本実施の形態によると、可変減衰用FET13がちょうどオフとなる制御電圧 $V_{cont}(OFF)$ およびちょうどオンとなる制御電圧 $V_{cont}(ON)$ は、そのしきい値電圧 V_{th} の影響を受けない。また、オン抵抗が変化する制御電圧 V_{cont} の範囲も大きくすることができ、制御感度を小さくすることができる。この結果、通信・映像等の高周波信号の制御を行う際に、製造プロセスや温度変化に起因するしきい値電圧の影響を受けず、かつ、より細かな精度での可変減衰動作が可能となる。

【0070】

【発明の効果】以上のように、本発明の減衰器によれば、製造プロセスおよび温度変化に起因するしきい値電

圧のばらつきを、ソースバイアス回路によって補償することが可能になる。したがって、減衰動作部の動作特性を一定にすることができる。

【0071】また、制御感度を低くして、より細かな精度で可変減衰動作が可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る減衰器の構成を示す回路図である。

【図2】従来の減衰器の構成を示す回路図である。

【図3】本発明の実施の形態に係る減衰器の動作を示す特性図である。

【図4】従来の減衰器の動作を示す特性図である。

【図5】減衰器の制御感度を説明する特性図である。

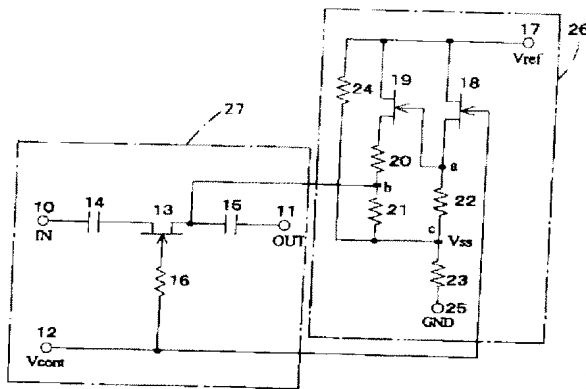
【図6】本発明の実施の形態における電圧 $V_{cont}(OFF)$ 、 V_{sc} 、 V_{th} の温度特性図である。

【図7】従来例における電圧 $V_{cont}(OFF)$ 、 V_{ref} 、 V_{th} の温度特性図である。

【符号の説明】

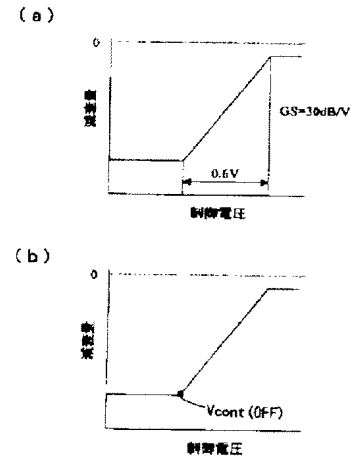
- | | |
|----|-------------|
| 1 | 高周波信号入力端子 |
| 2 | 高周波信号出力端子 |
| 3 | 制御電圧印加端子 |
| 4 | 基準電圧印加端子 |
| 5 | 可変減衰用FET |
| 6 | 結合容量 |
| 7 | 結合容量 |
| 8 | 抵抗 |
| 9 | 抵抗 |
| 10 | 高周波信号入力端子 |
| 11 | 高周波信号出力端子 |
| 12 | 制御電圧印加端子 |
| 13 | 可変減衰用FET |
| 14 | 結合容量 |
| 15 | 結合容量 |
| 16 | 抵抗 |
| 17 | 基準電圧印加端子 |
| 18 | 第1のバイアス用FET |
| 19 | 第2のバイアス用FET |
| 20 | 抵抗 |
| 21 | 抵抗 |
| 22 | 抵抗 |
| 23 | 抵抗 |
| 24 | 抵抗 |
| 25 | GND端子 |
| 26 | ソースバイアス回路 |
| 27 | 減衰動作部 |

【図1】

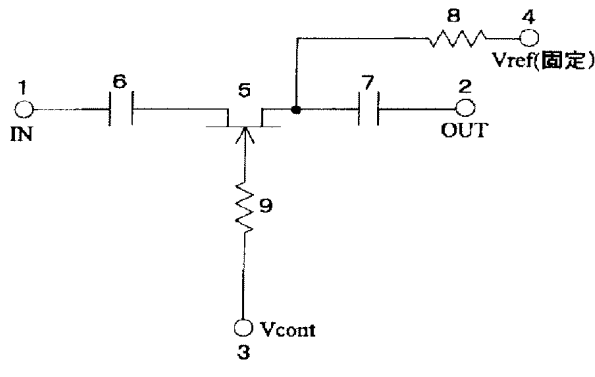


- 10 高周波信号入力端子
- 11 高周波信号出力端子
- 12 制御電圧印加端子
- 13 可変減衰用FET
- 14 結合容量
- 15 結合容量
- 16 抵抗
- 17 基準電圧印加端子
- 18 第1のバイアス用FET
- 19 第2のバイアス用FET
- 20 抵抗
- 21 抵抗
- 22 抵抗
- 23 抵抗
- 24 抵抗
- 25 GND端子
- 26 ソースバイアス回路
- 27 減衰動作部

【図3】

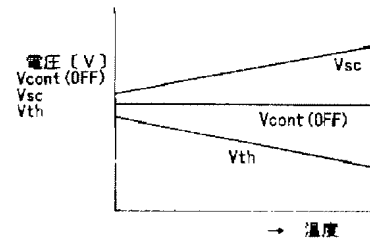


【図2】

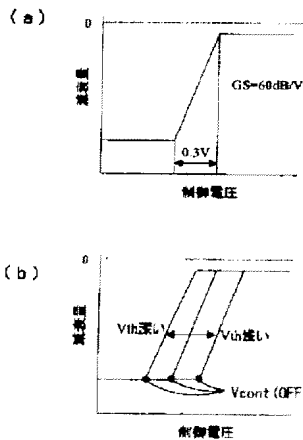


- 1 高周波信号入力端子
- 2 高周波信号出力端子
- 3 制御電圧印加端子
- 4 基準電圧印加端子
- 5 可変減衰用FET
- 6 結合容量
- 7 結合容量
- 8 抵抗
- 9 抵抗

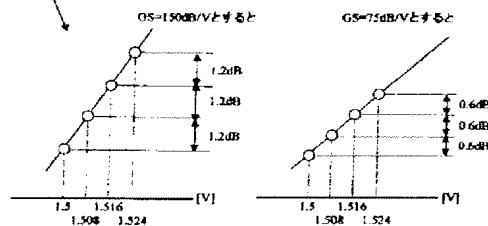
【図6】



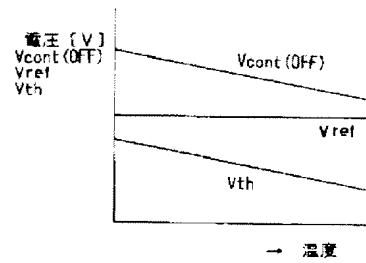
【図4】



【図5】



【図7】



フロントページの続き

(72)発明者 中山 雅央
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
(72)発明者 本吉 要
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 多良 勝司
大阪府門真市大字門真1006番地 松下電器
産業株式会社内
Fターム(参考) 5J100 AA02 AA18 BA10 BB02 BC02
CA02 CA05 CA07 CA33 DA06
EA03